

ORGANIC THIN-FILM TRANSISTOR AND MANUFACTURING METHOD OF THE SAME

Publication number: JP2004179542

Publication date: 2004-06-24

Inventor: KAMATA SHUNEI; UEMURA SEI; YOSHIDA MANABU

Applicant: NAT INST OF ADV IND & TECHNOL

Classification:

- International: H01L21/312; H01L29/786; H01L51/00; H01L21/02;
H01L29/66; H01L51/00; (IPC1-7): H01L29/786;
H01L21/312; H01L51/00

- european:

Application number: JP20020346333 20021128

Priority number(s): JP20020346333 20021128

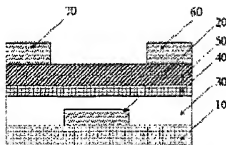
[Report a data error here](#)

Abstract of JP2004179542

PROBLEM TO BE SOLVED: To provide a thin-film transistor using organic material in an insulating layer and a semiconductor activation layer capable of preventing the occurrence on the fusion of the both layers in the manufacturing process and reducing a gate leak current, and provide a manufacturing method of the same which gives a gate bias impressed effect with higher efficiency.

SOLUTION: An organic thin-film transistor is constituted by introducing a thin-film intermediate layer 40 of water-soluble smectite group layered silicate compound between an organic insulating layer 30 and an organic semiconductor layer 50. Such the constitution solves the problem that both the layers are dissolved in a solvent because both the layers have organic solvent-soluble and the problem that it is hard to secure an enough amplification ratio (on/off ratio) as transistor characteristics since the gate leak current is increased because the insulation is not sufficient in the case the insulating layer 30 is a single organic material.

COPYRIGHT: (C)2004,JPO



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-179542

(P2004-179542A)

(43) 公開日 平成16年6月24日(2004.6.24)

(51) Int. Cl.⁷

F I

テーマコード (参考)

H 0 1 L 29/786

H 0 1 L 29/78

6 1 8 B

5 F 0 5 8

H 0 1 L 21/312

H 0 1 L 21/312

C

5 F 1 1 0

H 0 1 L 51/00

H 0 1 L 29/78

6 1 7 U

H 0 1 L 29/78

6 1 7 T

H 0 1 L 29/28

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特願2002-346333 (P2002-346333)

(22) 出願日

平成14年11月28日(2002.11.28)

(71) 出願人

301021533

独立行政法人産業技術総合研究所
東京都千代田区霞が関1-3-1

(72) 発明者

藤田 俊英

茨城県つくば市東1-1-1 独立行政法人
産業技術総合研究所つくばセンター内

(72) 発明者

植村 聖

茨城県つくば市東1-1-1 独立行政法人
産業技術総合研究所つくばセンター内

(72) 発明者

吉田 学

茨城県つくば市東1-1-1 独立行政法人
産業技術総合研究所つくばセンター内

Fターム(参考)

5F058 AA05 AB10 AC10 AF04 AG01
AH01

最終頁に続く

(54) 【発明の名称】有機薄膜トランジスタ及びその製造方法

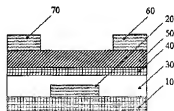
(57) 【要約】

【課題】トランジスタを塗布プロセスでフレキシブル基板上に作成する場合、絶縁層及び半導体活性層は有機材料で構成されることが必要である。しかし、両層がともに有機溶媒溶解性のため、両層が溶解溶融してしまうという問題点が生じていた。また、絶縁層が有機材料単独の場合、絶縁性が十分でないものが多く、ゲート漏洩電流が大きくなってしまい、トランジスタ特性としては電流増幅比(オン/オフ比)が大きく取れないという問題が生じていた。

【解決手段】本願発明においては、有機絶縁層30と有機半導体層50との間に、水溶性のスメクタイト族層状珪酸塩化合物の薄膜の中間層40を導入する構造とした。

【選択図】

図 1



【特許請求の範囲】

【請求項1】

基板、ゲート電極、絶縁層、半導体層、ソース電極、ドレイン電極及び保護膜がこの順の積層構造を有する薄膜トランジスタであって、該半導体層及び該絶縁層は、有機材料により構成され、該絶縁層と該半導体層との間に、水溶性のスメクタイト族層状珪酸塩化合物の薄膜が形成されていることを特徴とする有機薄膜トランジスタ。

【請求項2】

基板、ソース電極、ドレイン電極、半導体層、絶縁層、ゲート電極、及び保護膜がこの順の積層構造を有する薄膜トランジスタであって、該半導体層及び該絶縁層は、有機材料により構成され、該半導体層と該絶縁層との間に、水溶性のスメクタイト族層状珪酸塩化合物の薄膜が形成されていることを特徴とする有機薄膜トランジスタ。

【請求項3】

上記請求項1及び2のスメクタイト族層状珪酸塩化合物は、イオナイト、サボナイト、ヘクトライト、ソーコナイト、スチープサイト、スインホルダイト、モンモリロナイト、バイデライト、ノントロナイト、ホルコンスコアイトから選ばれた少なくとも一つの化合物であることを特徴とする有機薄膜トランジスタ。

【請求項4】

上記請求項1乃至3に記載される上記化合物の薄膜の厚さは、1nm以上50nm以下であることを特徴とする有機薄膜トランジスタ。

【請求項5】

上記請求項1乃至4に記載の有機薄膜トランジスタの作製方法であって、上記化合物が、上記有機絶縁層の上に、又は上記有機半導体層の上に、該化合物の水溶液を塗布し、その後該化合物の薄膜上に、上記有機半導体層又は該有機絶縁層が有機溶媒の溶液により塗布製膜されることを特徴とする有機薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は、薄膜トランジスタに関するもので、特に半導体層及び絶縁層に有機材料を用いた薄膜トランジスタ(TFT)の改良に関する技術である。

【0002】

【従来の技術】

有機薄膜トランジスタは、柔軟な基板上への作成に適合性が良く、印刷法などの常温・常圧下での低コスト製造プロセスが適応可能であるという利点を有していることから、携帯ディスプレイや、電子値札・電子荷札などの電子タグ等のように、携帯環境下で使用され、かつ低価格で供給される電子機器の集積回路技術への適合性が良いとの期待を集めている。

【0003】

こうした性能を発揮する有機薄膜トランジスタの開発には、印刷プロセスなどの溶液から塗布することによって形成され、しかも柔軟性を備え、耐衝撃性の高くなる、素子構成材料が必要とされている。今日、上記の要求を満たす半導体活性層用材料として、有機半導体材料が種々開発されてきているが、同時に近年、有機ゲート絶縁材料の開発も行われるようになってきた。

【0004】

塗布型のゲート絶縁材料としては、アルコキシド金属を含む前駆体を、溶媒に溶解して塗布、熱処理することによって金属酸化物薄膜を形成させる方法が示されている(下記特許文献1参照)。

【0005】

シアノ基を有するポリマーである、ポリアクリロニトリルをゲート絶縁層に利用すると、優れた有機薄膜トランジスタ特性が得られることが示されている(下記特許文献2参照)。

10

20

30

40

50

【0006】

高分子材料をゲート絶縁膜に利用したものとすれば、ポリスチレン、ポリメチルメタクリレート、ポリビニルクロライド、ポリビニルアルコール、シアノエチルフルランを用いたものが、フランスのボロビツ博士等により報告されている（下記特許文献1参照）。

【0007】

有機薄膜トランジスタの性能向上のために、絶縁膜上に更なる膜を作成し、半導体活性層の品質を上げること、有機薄膜トランジスタの性能向上を図る技術が、いくつか報告されている。ゲート絶縁層上にフッ素ポリマーの膜を作成し、その上に有機半導体活性層を作成すると、特性向上が図れることを示している（下記特許文献3参照）。

【0008】

しかし、塗布型の高分子材料を絶縁層として用いる場合、薄い膜で高い絶縁性を得ることが必ずしも容易ではなく、また高分子材料中に含まれる微量不純物が、ゲートリーク電流等の基となり、効果的なゲートバイアス印可の妨けになり、高いオン/オフ比が得られないという問題点を有していた。

【0009】

【特許文献1】

特開平10-270712号公報

【特許文献2】

特開平8-191162号公報

【特許文献3】

特開2001-94107号公報

【非特許文献1】

Synthetic Metals, 第51巻、第419頁、1992年

【0010】

【発明が解決しようとする課題】

トランジスタを塗布プロセスでフレキシブル基板上に作成する場合、絶縁層及び半導体活性層は有機材料で構成されることが必要である。しかし、両層がともに有機溶媒溶解性のため、両層が溶解溶融してしまうという問題点が生じていた。また、絶縁層が有機材料単独の場合、絶縁性が十分でないものが多く、ゲート漏れ電流が大きくなってしまい、トランジスタ特性としては電流増幅比（オン/オフ比）が大きく取れないという問題が生じていた。

【0011】

本願発明は、絶縁層及び半導体活性層に有機材料を用いる薄膜トランジスタが、その製造過程において両層の溶解溶融が生じることを助け、ゲート漏れ電流を軽減させるとともに効率の高いゲートバイアス印可効果を与える薄膜トランジスタ製造方法を提供するものである。

【0012】

【課題を解決するための手段】

本願発明者らは、絶縁層及び半導体活性層に有機材料を用いる薄膜トランジスタの場合、両層の中間に有機溶媒に不溶性の中間層を導入すれば、両層の溶解が防げるとの予測を行い、様々な中間材料の導入を鋭意検討してきた結果、本願発明を成すに至った。

【0013】

即ち、本願発明においては、図1又は図2に示すように、基板10、ゲート電極20、絶縁層30、半導体層50、ソースまたはドレイン電極60、ドレインまたはソース電極70により構成される薄膜トランジスタにおいて、絶縁層30及び半導体層50が有機材料で構成され、有機絶縁層30と有機半導体層50との間に、水溶性のスメクタイト層状珪酸塩化合物の薄膜の中間層40を導入する構造とした。これにより、有機溶剤への溶解性を有する、有機絶縁層と有機半導体層が、素子の製造過程において溶解してしまうことを防ぎ、それにより有機絶縁層の絶縁性の向上ならびにゲート電圧印可効果の効率を高めることで、ゲート漏れ電流が軽減され、オン/オフ比の向上に成功した。

10

20

30

40

50

【0014】

【発明の実施形態】

本願発明における基板10、ゲート電極20、絶縁層30、半導体層50、ソース電極60、ドレイン電極70及び保護膜がこの順の積層構造を有する有機薄膜トランジスタは、ソース電極60及びドレイン電極70が、半導体層50を挟んで絶縁層30の対局に構成される、図1に示すようなトップコンタクト型素子構造をとることが多いが、絶縁層30と半導体層50とが中間層40を挟んで接する構造をとるものであればいかなる構造のものでも良く、素子構造は特にこれに限定されるものではない。ソース電極60及びドレイン電極70が、絶縁層30上に形成された中間層40の上に構成され、その後半導体層50が形成されるボトムコンタクト構造でもかまわない。また、必要に応じて、保護膜などを付けることも可能である。

10

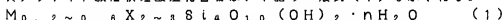
【0015】

本願発明における基板10、ソース電極60、ドレイン電極70、半導体層50、絶縁層30、ゲート電極20、及び保護膜がこの順の積層構造を有する有機薄膜トランジスタは、ゲート電極20が、絶縁層30を挟んで半導体層50の対局に構成される、図2に示すようなトップゲート型素子構造をとることが多いが、絶縁層30と半導体層50とが中間層40を挟んで接する構造をとるものであればいかなる構造のものでも良く、素子構造は特にこれに限定されるものではない。基板10、半導体層50、ソース電極60、ドレイン電極70、中間層40、絶縁層30、ゲート電極20の順で構成される構造とすることもできる。また、必要に応じて、保護膜などを付けることも可能である。

20

【0016】

本願発明において、絶縁層30と半導体活性層50との間の中間層40として用いられるスメクタイト族層状珪酸塩化合物は、下記の一般式(1)で示される。



式中のMは、ナトリウムまたはカルシウムであるが、ここではそれぞれが単一として構成してもあるいは混在して構成しても良い。また、ナトリウム及びカルシウム以外のアルカリ金属またはアルカリ土類金属を用いることも可能である。式中のMの組成は、0.2～0.8の間から選択される任意の数である。Xはマグネシウム、リチウム、鉄、亜鉛、クロムから選択される一種の金属又はこれらの内の複数種の混合金属を示す。

【0017】

混合された複数種の金属の場合、それらの混合比は特に限定されない。式中のXの組成は、2もしくは3である。Siはケイ素を示すが、アルミニウムが混在したケイ素でも良い。その際の混在比は特に限定されない。OHは水酸基を示すが、ここにフッ素が一部混入していても良い。この際、フッ素の混在している割合は、特に限定されない。式中のnは0以上の任意の数である。この(1)式で表される代表的な水溶性のスメクタイト族層状珪酸塩化合物としては、イオナイト、サポナイト、ヘクトライト、ソーコナイト、スチープンサイト、スインホルグイト、モンモリロナイト、バイライト、ノントロナイト、ボルコンスコアイトなどが上げられるが、これに限定されるものではない。

30

【0018】

本願発明において、絶縁層30と半導体活性層50との間に形成される中間層40を形成するスメクタイト族層状珪酸塩化合物の合成方法は特に限定されず、いかなる方法を用いても良い。また、天然に存在する物を利用して構わない。

40

【0019】

本願発明において、絶縁層30と半導体活性層50との間に形成されるスメクタイト族層状珪酸塩化合物の中間層40の厚さは、1nm以上50nm以下である。

【0020】

本願発明において、薄膜トランジスタのゲート絶縁層30及び半導体層50は、非水溶性の有機材料により構成され、その層間に親水性のスメクタイト族層状珪酸塩化合物の中間層40が形成されるが、この際各層の作成順序は特に限定されず、素子の構成過程にやだねられる。すなわち、有機絶縁層上に、スメクタイト族層状珪酸塩化合物が水溶液から塗

50

布薄膜化され、その後該化合物の薄膜上に、有機半導体層が有機溶媒の溶液から塗布製膜されても構わなければ、有機半導体活性層上に、スメクタイト族層状珪酸塩化合物が水溶液から塗布薄膜化され、その後該化合物の薄膜上に、有機絶縁層が有機溶媒の溶液から塗布製膜されても構わない。この際、上記作成過程の途中において、ソース及びドレイン電極の作成工程が間に加わっても構わない。

【0021】

本願発明において、絶縁層30と半導体活性層50との間に形成されるスメクタイト族層状珪酸塩化合物の中間層40の成膜法は特に限定されず、いかなる方法を用いても良い。一般に、簡便で低コストでの作成という点から、スピンコーティング、ディップコーティング、スクリーン印刷、インクジェット印刷など、材料を有機溶媒と混合させ溶液からの塗布などとして作成する湿式製造プロセスとしての印刷手法などが適用される。また、加熱成膜過程などを加えても良い。

10

【0022】

本願発明において用いるゲートに接触する絶縁層30は、素子の柔軟性を付与させ、塗布プロセスで製造できる高分子材料であればいかなるものを用いても良い。例えば、ポリメタクリレート(PMMA)、ポリイミド、ポリスチレン、ポリビニルクロライド、ポリビニルアルコール、ポリパラキシレン、ポリフッ化ビニリテン(PVF)、ポリビニルフェノール、フルラン、パレンなどのポリマー及びその誘導体等があげられるが、これに限定されるものではない。より効果的な電界効果を得るために誘電率を大きくするための材料を導入した、複合材料なども用いることができる。

20

【0023】

本願発明において用いるゲートに接触する絶縁層30の厚さは、特に限定されず、絶縁性が保たれればいかなる厚さを用いてもよい。一般に好適に用いられるのは、50nm以上1000nm以下であるが、これに限定されるものではない。素子のサイズの微小化に従って、できるだけ薄くするのが望ましい。

【0024】

本願発明において用いる絶縁層30の作成法は特に限定されず、いかなる方法を用いても良い。一般に、簡便で低コストでの作成という点から、スピンコーティング、ディップコーティング、スクリーン印刷、インクジェット印刷など、材料を有機溶媒と混合させ溶液からの塗布などとして作成する湿式製造プロセスとしての印刷手法などが適用される。

30

【0025】

本願発明における薄膜トランジスタは、半導体層50には水に不溶性の有機半導体材料が用いられる。その組成は、特に限定されず、単一物質で構成されても構わないし、また複数の物質の混合によって構成されても構わない。これまでに優れた特性を示す有機半導体材料としては、以下のようなものが知られている。ポリチオフェン、ポリフェニレン、ポリフェニレンビニレン、ポリチオフェンビニレン、ポリフルオレン、ポリシラン及びこれらの末端もしくはその側鎖が置換された誘導体。

【0026】

本願発明において用いる半導体活性層50の厚さは、特に限定されず、いかなる厚さを用いてもよい。一般に好適に用いられるのは、10nm以上300nm以下であるが、これに限定されるものではない。

40

【0027】

本願発明に用いられる半導体層50の作製法は、特に限定されず、いかなる方法を用いても良い。簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布などとして作成する印刷手法が適用される。また、マイクロコンタクトアラインティング、マイクロモルディングなどのソフトリソグラフィと呼ばれる印刷法などを適用することもできる。

【0028】

本願発明において使用されるゲート20の材料は、抵抗値の低い材料であればいかなるものを用いても良い。一般に、銅、タンガステン、クロム、銀、ニッケル、金などの金属が

50

用いられることが多いが、これに限定されるものではない。また、その作成法は特に限定されず、いかなる方法を用いても良い。一般に用いられる方法は、フォトリソグラフを用いる方法やメッキ配線などであるが、活版印刷、スクリーン印刷、インクジェット印刷などの溶液から塗布される湿式製造プロセスなども適応される。この場合には、銀ペーストの他、PEDOTやポリアニリンなどの有機電極をゲートとして用いることができる。

【0029】

また、真空蒸着法やスパッタリング法など、上記とは異なる乾式製造プロセスを適応することも可能である。また、素子の安定化、長寿命化、高電荷注入効率化などを図るため、ゲートが複数の材料の混合もしくは積層で構成されたり、あるいは表面処理を施しておくことも可能である。

【0030】

本願発明において使用される基板10は特に限定されず、いかなる物を用いても良い。一般に好適に用いられる物は、ポリカーボネート、ポリイミドやポリエチレンテレフタレート（PET）などの柔軟性のあるプラスチック基板であるが、石英などのガラス基板やシリコンウェハー等も用いることができる。

【0031】

本願発明にかかわる薄膜トランジスタを用いて表示素子、ガスセンサ及びメモリ素子等を作製することができるし、複数個配置することにより、薄膜トランジスタ集積回路を作製することもできる。

【0032】

【実施例1】

下部電極としてのITO電極を付けたガラス基板を、純水にて希釈した中性洗剤（井内盛栄堂社：ビュアソフト）にて超音波洗浄を行い、その後、純水中、超音波洗浄にて洗剤除去を行った。さらにその後、紫外線照射下オゾン洗浄器にて20分間紫外線照射洗浄を行った。このようにして洗浄した基板の上に、絶縁膜としてのポリメチルメタクリレートの薄膜を40nmの厚さに製膜した。このとき、ポリメチルメタクリレートは、2重量%のクロロホルム溶液とし、ディフコーティング法にて塗布し、クロロホルム雰囲気下で乾燥させた。その後80℃、乾燥雰囲気下にて、8時間乾燥した。このようにして作成したポリメチルメタクリレート上に、上部電極として、金電極を、基板30℃下、毎分6nmの蒸着速度で、50nmの厚さに真空蒸着した。図8に、このようにして作成された素子の、電流-電圧曲線を示す。ポリメチルメタクリレートの絶縁性があまり高くないことが示されている。

【0033】

【実施例2】

下部電極としてのITO電極を付けたガラス基板を、純水にて希釈した中性洗剤（井内盛栄堂社：ビュアソフト）にて超音波洗浄を行い、その後、純水中、超音波洗浄にて洗剤除去を行った。さらにその後、紫外線照射下オゾン洗浄器にて20分間紫外線照射洗浄を行った。このようにして洗浄した基板の上に、絶縁膜としてのポリメチルメタクリレートの薄膜を40nmの厚さに製膜した。

【0034】

このとき、ポリメチルメタクリレートは、2重量%のクロロホルム溶液とし、ディフコーティング法にて塗布し、クロロホルム雰囲気下で乾燥させた。その後80℃、乾燥雰囲気下にて、8時間乾燥した。このようにして作成したポリメチルメタクリレート上に、スメクタイト族層状珪酸塩化合物である

Na_2/s (Mg_{18}/s Li_2/s) Si_8O_{20} (OH)₄ · 4H₂Oの組成を持つイオナ이트の薄膜をスピンコート法で製膜した。この時の製膜条件は、1.25g/lの濃度の水溶液200μlの溶液を基板上に滴下し、毎秒1000回転の速度で、60秒回転させることで製膜した。この操作を5回繰り返すことで、厚5nmの厚さの膜を作成した。さらにその上から、上部電極として、金電極を、基板30℃下、毎分6nmの蒸着速度で、50nmの厚さに真空蒸着した。

【0035】

図4に、このようにして作成された素子の、電流-電圧曲線を示す。ポリメチルメタクリレート上に野薄膜を作成することで、図32に示された、ポリメチルメタクリレートの薄膜単独の時よりも、絶縁性が飛躍的に向上したことがわかる。

【0036】

【実施例3】

ゲート電極としてのITO電極を付けたガラス基板を、純水にて希釈した中性洗剤（井内産業社：ビュアソフト）にて超音波洗浄を行い、その後、純水中、超音波洗浄にて洗剤除去を行った。さらにその後、紫外線照射下オゾン洗浄器にて20分間紫外線照射洗浄を行った。このようにして洗浄した基板の上に、絶縁膜としてのポリメチルメタクリレートの薄膜を40nmの厚さに製膜した。このとき、ポリメチルメタクリレートは、2重量%のクロロホルム溶液とし、ディフコーティング法にて塗布し、クロロホルム雰囲気下で乾燥させた。

【0037】

その後80℃、乾燥雰囲気下にて、8時間乾燥した。このようにして作成したポリメチルメタクリレート上に、P型半導体であるヘンタセン薄膜を真空蒸着法で作成した。ヘンタセンは、昇華精製を10回繰り返して精製したものをを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約45℃に調整し、真空度を 2×10^{-6} Torrにまで減圧した。その後毎分1nmの速度で500nmの厚さに真空蒸着を行った。引き続き、ソース電極及びドレイン電極として、金電極を、基板30℃下、毎分6nmの蒸着速度で、50nmの厚さに真空蒸着した。このとき、ソース電極及びドレイン電極間距離、すなわちチャネル長は20μm、ソース電極及びドレイン電極端、すなわちチャネル幅は、5000μmとした。

【0038】

図5に、このようにして作成された素子の、ゲート電圧2.5V時にあけるソースドレイン間電流のソースドレイン間電圧依存性を示す。実線は、ベリレン層にてヘンタセン層を被覆した場合の効果、波線は、参照として、ベリレン層でヘンタセン層を被覆しない場合の効果を示している。ベリレン層でヘンタセン層を被覆した場合、しなかった場合に比べ、ソースドレイン間電流が約30%向上した。

【0039】

【実施例4】

ゲート電極としてのITO電極を付けたガラス基板を、純水にて希釈した中性洗剤（井内産業社：ビュアソフト）にて超音波洗浄を行い、その後、純水中、超音波洗浄にて洗剤除去を行った。さらにその後、紫外線照射下オゾン洗浄器にて20分間紫外線照射洗浄を行った。このようにして洗浄した基板の上に、絶縁膜としてのポリメチルメタクリレートの薄膜を40nmの厚さに製膜した。このとき、ポリメチルメタクリレートは、2重量%のクロロホルム溶液とし、ディフコーティング法にて塗布し、クロロホルム雰囲気下で乾燥させた。

【0040】

その後80℃、乾燥雰囲気下にて、8時間乾燥した。このようにして作成したポリメチルメタクリレート上に、スモクタイト族層状珪酸塩化合物である $\text{Na}_{2/3}(\text{Mg}_{1/3}/\text{Al}_{2/3}\text{Li}_{2/3})\text{Si}_2\text{O}_5(\text{OH})_4 \cdot 4\text{H}_2\text{O}$ の組成を持つイオナートの薄膜をスピンコート法で製膜した。この時の製膜条件は、1.25g/lの濃度の水溶液200μlの溶液を基板上に滴下し、毎秒1000回転の速度で、60秒回転させることで製膜した。この操作を5回繰り返すことで、厚さ5nmの厚みの膜を作成した。

【0041】

その上から、P型半導体であるヘンタセン薄膜を真空蒸着法で作成した。ヘンタセンは、昇華精製を10回繰り返して精製したものをを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約45℃に調整し、真空度を 2×10^{-6} Torrにまで

10

20

30

40

50

減圧した。その後毎分1nmの速度で500nmの厚さに真空蒸着を行った。引き続き、ソース電極及びドレイン電極として、金電極を、基板30℃下、毎分6nmの蒸着速度で、50nmの厚さに真空蒸着した。このとき、ソース電極及びドレイン電極間距離、すなわちチャネル長は20μm、ソース電極及びドレイン電極幅、すなわちチャネル幅は、5000μmとした。

【0042】

図6に、このようにして作成された素子の、ゲート電圧2.5V時におけるソースドレイン間電流のソースドレイン間電圧依存性を示す。実線は、ペリレン層にてベンタセン層を被覆した場合の効果、点線は、参照として、ペリレン層でベンタセン層を被覆しない場合の効果を示している。ペリレン層でベンタセン層を被覆した場合、しなかった場合に比べ、ソースドレイン間電流が約30%向上した。

【0043】

【発明の効果】

本願発明により、半導体層及び絶縁層に有機材料を用いた薄膜トランジスタにおいて、製造過程において、有機絶縁層と有機半導体層の溶融を防ぎ、ゲート漏れ電流を軽減させ、高い電流増幅比（オン／オフ比）を取ることを実現させることができる。

【図面の簡単な説明】

【図1】基板、ゲート電極、絶縁層、半導体層、ソース電極、ドレイン電極及び保護膜がこの順の積層構造を有する有機薄膜トランジスタの素子構造の一例の模式的断面図。

【図2】基板、ソース電極、ドレイン電極、半導体層、絶縁層、ゲート電極、及び保護膜がこの順の積層構造を有する有機薄膜トランジスタの素子構造の一例の模式的断面図。

【図3】PMMMA膜上に中間層を導入しないときのPMMMA膜の電流－電圧曲線。

【図4】PMMMA膜上に中間層を導入したときのPMMMA膜の電流－電圧曲線。実線が、PMMMA膜上に中間層を導入したときの曲線。点線が、参照としてのPMMMA膜上に中間層を導入しないときの曲線。

【図5】本願発明に於ける、中間層を用いていない時の、様々なゲート電圧印可時のソース及びドレイン間電流－電圧曲線。

【図6】本願発明に於ける、中間層を用いた時の、様々なゲート電圧印可時のソース及びドレイン間電流－電圧曲線。

【符号の説明】

- 10 基板
- 20 ゲート電極
- 30 絶縁層
- 40 中間層膜
- 50 半導体層
- 60 ソースもしくはドレイン電極
- 70 ドレインもしくはソース電極

【図 1】



【図 2】



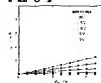
【図 3】



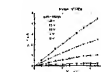
【図 4】



【図 5】



【図 6】



フロントページの続き

Fターム(参考) 5F110 AA06 BB01 BB05 BB09 CC05 CC07 DD01 DD02 DD03 DD05
EE02 EE04 EE41 EE42 EE43 EE44 FF01 FF27 FF36 GG05
GG24 GG25 GG42 HK02 HK32